

국내 공개특허공보 제2002-90452호(2002.12.05) 1부.

특 2002-0090452

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 27/10(11) 공개번호 특2002-0090452
(43) 공개일자 2002년12월05일

(21) 출원번호	10-2001-0029008
(22) 출원일자	2001년 05월25일
(71) 출원인	삼성전자 주식회사
(72) 발명자	경기 수원시 팔달구 매탄3동 418번지 주재현 서울특별시 강남구 대치2동 은미아파트 30동 801호 김완돈 경기도 용인시 수지구 풍덕천리 주공아파트 102동 1004호 이주원 경기도 수원시 팔달구 인계동 158-30 선경2차아파트 201동 5 05호 이영필, 정상빈
(74) 대리인	이영필, 정상빈

심사청구 : 없음

(54) 반도체 메모리 소자 및 그 제조방법

요약

본 발명은 스토리지 노드 전극간의 간격을 줄이면서도, 인접 스토리지 노드 전극과의 간섭을 줄일 수 있으며, 어스펙트비를 감소시키면서도, 충분한 캐패시터를 확보할 수 있는 반도체 메모리 소자 및 그 제조방법을 개시한다. 개시된 본 발명의 메모리 소자는, 반도체 메모리 소자는 도전 영역을 갖는 반도체 기판과, 반도체 기판 상부에 도전 영역과 콘택되는 수개의 스토리지 노드 콘택을 갖는 용간 절연막을 포함한다. 이러한 용간 절연막 상부에는 스토리지 노드 콘택과 각각 콘택되는 콘케이브 형태의 스토리지 노드 전극이 형성된다. 이때, 스토리지 노드 전극은 상부로 갈수록, 그 폭경이 점점 좁아지는 역 원뿔대 형상을 갖고, 상기 인접하는 스토리지 노드 전극의 최단 간격은, 크로스링크를 유발하지 않는 최소 거리(N)에서 제 1 길이(X)를 뺀 정도의 간격을 유지하고, 각각의 스토리지 노드 전극의 높이는, 정해진 높이보다 제 1 길이를 2분한 값 정도 낮다.

도표

도

설명

스토리지 노드 전극, 크로스링크.

도면

도면의 간단한 설명

도 1은 일반적인 콘케이브 형태의 스토리지 노드 전극을 갖는 반도체 메모리 소자의 단면도이다.

도 2는 본 발명의 실시예 1에 따른 반도체 메모리 소자의 단면도이다.

도 3a는 스토리지 노드 전극 절을 나타낸 평면도이다.

도 3b는 본 발명의 실시예 1에 따른 스토리지 노드 전극을 절개시킨 전개도이다.

도 4는 스토리지 노드 전극의 높이 감소분에 대한 표현적을 나타낸 그래프이다.

도 5a 내지 도 5e는 본 발명의 실시예 1에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

도 6은 본 발명의 실시예 2를 설명하기 위한 반도체 메모리 소자의 단면도이다.

도 7a 내지 도 7d는 본 발명의 실시예 2에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

도 8a는 희생막의 플라즈마 증착 파워에 대한 희생막의 습식 식각율을 나타낸 그래프이다.

도 8b는 희생막의 증착 온도에 대한 희생막의 습식 식각율을 나타낸 그래프이다.

BEST AVAILABLE COPY

*2002-0090452

도 8c는 희생막을 구성하는 실란(SiH₄) 가스에 대한 질산(HNO₃) 가스의 비율에 대한 희생막의 습식 식각률을 나타낸 그래프이다.

도 8d는 희생막을 구성하는 반도체 장비의 샤워 헤드와 기판간의 거리에 따른 희생막의 습식 식각률을 나타낸 그래프이다.

도 8e는 희생막의 종횡 압력에 대한 희생막의 습식 식각률을 나타낸 그래프이다.

(도면의 주요 부분에 대한 부호의 설명)

26, 30 - 스토리지 노드 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는, 반도체 메모리 소자의 스토리지 노드 전극 및 그 제조방법에 관한 것이다.

반도체 소자가 고집적화됨에 따라 단위 셀이 차지하는 면적이 감소하고 있다. 한편, 다량의 구동 능력은 캐패시터의 캐패시턴스에 의해 결정되므로, 캐패시터가 차지하는 면적의 감소에도 불구하고 캐패시턴스를 증가시키기 위한 다양한 노력이 계속되고 있다. 이러한 노력의 일환으로, 캐패시터의 스토리지 노드 전극의 유효 면적을 증가시키기 위해, 콘케이브형(concave type), 실린더형(cylinder type), 핀형(fin type) 또는 박스형(box type)과 같이 입체적으로 스토리지 노드 전극을 형성하고 있다. 그중, 콘케이브형 스토리지 노드 전극은 평탄화가 용이하며, 얼라인(align) 불량으로 인한 산화등의 문제가 적게 발생되며, 현재 고집적 메모리 소자에 자주 이용된다.

여기서, 일반적인 콘케이브형 스토리지 노드 전극을 갖는 반도체 메모리 소자에 대하여, 도 1을 참조하여 설명한다.

도 1에 도시된 바와 같이, 모스 트랜지스터와 같은 회로 소자(도시되지 않음)가 구비된 반도체 기판(10) 상부에 용간 절연막(12)이 형성된다. 용간 절연막(12) 내부에는 스토리지 노드 콘택(14)이 구비된다. 이 스토리지 노드 콘택(14)은 알려진 바와 같이, 선회된 모스 트랜지스터의 소오스 영역(도시되지 않음)과 이를 형성할 스토리지 노드 전극을 연결시킨다. 스토리지 노드 콘택(14) 및 용간 절연막(12) 상부의 소정 부분에는 콘 형태의 콘케이브 스토리지 노드 전극(16)이 형성된다. 이 콘케이브 형태의 스토리지 노드 전극(16)은 다음과 같은 방법으로 형성된다. 먼저, 스토리지 노드 콘택(14)을 포함하고 있는 용간 절연막(12) 상부에 소정 두께의 희생 산화막(도시되지 않음)을 증착한다. 다음, 스토리지 노드 콘택(14)이 노출되도록, 희생막을 패터닝하여, 개구를 형성한다. 그후, 노출된 스토리지 노드 콘택(14)과 콘택되도록 희생막 상부에 도전층(도시되지 않음) 및 노드 분리를 절연막(도시되지 않음)을 형성한다음, 희생막 표면이 노출되도록, 도전층 및 노드 분리를 절연막을 화학적 기계적 연마(chemical mechanical polishing; 이하 CMP라 칭함)한다. 그 다음, 노드 분리를 절연막 및 희생막을 공지의 방식으로 제거함으로써, 콘케이브 형태의 스토리지 노드 전극(16)이 형성된다.

그러나, 현재의 반도체 메모리 소자의 집적도가 증가됨에 따라, 배선의 피치(pitch) 사이즈 및 스토리지 노드 전극(16) 사이의 거리(D)는 집적도를 감안하여 감소되어야 하는 한편, 스토리지 노드 전극의 높이는 높은 캐패시턴스를 얻기 위하여 상대적으로 증가시켜야 한다. 이때, 스토리지 노드 전극의 높이를 증대시키게 되면, 어스펙트비(aspect ratio)가 증대되어 유전체막 및 상부 전극을 증착하기 어렵고, 스토리지 노드 전극의 높이를 종래와 같이 유지하게 되면, 원하는 캐패시턴스를 얻기 어렵다.

또한, 배선 피치를 감안하여, 스토리지 노드 전극(16)간의 거리(D)를 감소시키면, 크로스링크(cross-link)와 같이 인접 스토리지 노드 전극과 간섭 현상이 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는, 스토리지 노드 전극간의 간격을 줄이면서도, 인접 스토리지 노드 전극과의 간섭을 줄일 수 있는 반도체 메모리 소자를 제공하는 것이다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 어스펙트비를 감소시키면서도, 충분한 캐패시턴스를 확보할 수 있는 반도체 메모리 소자를 제공하는 것이다.

또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는, 상기한 반도체 메모리 소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 목적과 더불어 그의 다른 목적 및 신규한 특징은, 본 명세서의 기재 및 첨부 도면에 의하여 명료해질 것이다.

본원에서 개시된 발명중, 대표적 특징의 개요를 간단하게 설명하면 다음과 같다. 먼저, 본 발명의 일 견지에 따른 반도체 메모리 소자는, 도전 영역을 갖는 반도체 기판과, 반도체 기판의 도전 영역과 콘택되는 수개의 스토리지 노드 콘택을 갖는 용간 절연막을 포함한다. 용간 절연막 상부에는 스토리지 노드 콘택과 각각 콘택되도록 콘케이브 형태의 스토리지 노드 전극이 형성된다. 여기서, 인접하는 스토리지 노드 전극의 간격은, 크로스링크를 유발하지 않는 최소 거리(N)에서 제 1 길이(X)를 뺀 정도의 간격을 유지하고,

·록 2002-0090452

상기 각각의 스토리지 노드 전극의 높이는, 정하여진 높이보다 제 1 길이를 2분의 1 정도 낮다.

또한, 본 발명의 일 견지에 따른 다른 실시예에 의한, 본 발명의 반도체 메모리 소자는, 도전 영역을 갖는 반도체 기판과, 반도체 기판 상부에 도전 영역과 콘택되는 수개의 스토리지 노드 콘택을 갖는 층간 절연막을 포함한다. 이러한 층간 절연막 상부에는 스토리지 노드 콘택과 각각 콘택되는 콘케이브 형태의 스토리지 노드 전극이 형성된다. 이때, 스토리지 노드 전극은 상부로 갈수록, 그 직경이 점점 좁아지는 역 원뿔형 형상을 갖고, 상기 연결하는 스토리지 노드 전극의 최단 간격은, 크로스링크를 유발하지 않는 최소 거리(N)에서 제 1 길이(X)를 뺀 정도의 간격을 유지하고, 각각의 스토리지 노드 전극의 높이는, 정하여진 높이보다 제 1 길이를 2분의 1 정도 낮다.

또한, 본 발명의 다른 견지에 따른 반도체 메모리 소자의 제조방법은 다음과 같다. 먼저, 반도체 기판상에 스토리지 노드 콘택을 갖는 층간 절연막을 형성하고, 층간 절연막 상부에 희생막을 형성한다. 그 다음, 스토리지 노드 콘택이 노출되도록 희생막을 식각하여, 개구를 형성한다. 개구 내부 및 희생막 표면에 도전층을 형성한다. 이어서, 도전층을 희생막 표면이 노출되도록 화학적 기계적 연마한다. 이어서, 도전층을 소정 길이만큼 식각하여 스토리지 노드 전극을 형성한다. 이때, 개구를 형성하는 단계에서, 개구 사이의 간격은 스토리지 노드 전극 사이에 크로스링크가 발생되지 않는 최소 거리에서 제 1 길이(X)만큼 뺀 정도의 간격을 유지하도록, 개구를 형성하고, 도전층을 소정 길이만큼 식각하는 단계에서, 도전층을 제 1 길이를 2분의 1 정도 만큼 식각한다.

또한, 본 발명의 다른 견지의 다른 실시예에 의한 반도체 메모리 소자의 제조방법은, 반도체 기판상에 스토리지 노드 콘택을 갖는 층간 절연막을 형성하고, 층간 절연막 상부에 습식 식각물이 상이한 제 1 및 제 2 희생막을 순차적으로 형성한다. 그 후, 스토리지 노드 콘택이 노출되도록 제 1 및 제 2 희생막을 비등방성 식각하여, 제 1 개구를 형성한다. 제 1 및 제 2 희생막을 습식 식각하여, 상부로 갈수록 직경이 넓어지는 제 2 개구를 형성한다. 다음, 제 2 개구 내부 및 희생막 표면에 도전층을 형성한다. 도전층을 희생막 표면이 노출되도록 화학적 기계적 연마한다. 이어서, 도전층을 소정 길이만큼 식각하여 스토리지 노드 전극을 형성한다. 제 2 개구간의 최단 간격은, 스토리지 노드 전극 사이에 크로스링크가 발생되지 않는 최소 거리에서 제 1 길이(X)만큼 뺀 정도의 간격을 유지하여 비등방적이고, 도전층을 소정 길이만큼 식각하는 단계에서, 도전층을 제 1 길이를 2분의 1 정도 만큼 식각한다.

이하, 첨부한 도면에 의거하여, 본 발명의 바람직한 실시예를 설명하도록 한다.

여기서, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 의해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 상에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

(실시예 1)

첨부한 도면 도 2는 본 발명의 실시예 1에 따른 반도체 메모리 소자의 단면도이고, 도 3a는 스토리지 노드 전극 셀을 나타낸 평면도이고, 도 3b는 본 발명의 실시예 1에 따른 스토리지 노드 전극을 개재시킨 전개도이다. 또한, 도 4는 스토리지 노드 전극의 높이 감소부에 따른 표면적을 나타낸 그래프이다. 도 5a 내지 도 5e는 본 발명의 실시예 1에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

먼저, 도 2를 참조하면, 게이트, 소오스 및 드레인으로 구성된 MOS 트랜지스터(도시되지 않음) 및 그 밖의 회로 소자(도시되지 않음)가 구비된 반도체 기판(20) 상부에 층간 절연막(22)이 형성된다. 층간 절연막(22) 내부에, MOS 트랜지스터의 소오스(도시되지 않음)와 콘택되는 스토리지 노드 콘택(24)이 구비되어 있다. 스토리지 노드 콘택(24) 및 층간 절연막(22)의 소정 부분 상부에는 스토리지 노드 전극(26)이 형성된다. 이 스토리지 노드 전극(26)은 콘케이브 형태로 형성된다. 이때, 스토리지 노드 전극(26)은 인접하는 스토리지 노드 전극(26)과의 간격이 크로스링크를 유발하지 않는 최소 범위(N) 보다 소정 길이(X, 이하, 제 1 길이라 칭함) 만큼 좁게 형성된다. 그 대신, 스토리지 노드 전극(26)의 높이는 일반적으로 정해진 높이, 즉, 배선 피치와 관련하여 최소한의 캐패시턴스를 확보할 수 있는 높이(H) 보다 제 1 길이의 2분의 1만큼(X/2, 이하 제 2 길이)만큼 낮게 형성한다.

이때, 스토리지 노드 전극(26) 사이의 간격을 감소시키는 대신, 스토리지 노드 전극(26)의 높이를 스토리지 노드 전극(26)간의 거리 감소분(X)의 2분의 1만큼을 감소시키면, 스토리지 노드 전극(26)간의 실질적인 간격은 크로스링크가 유발되지 않는 최소 거리(N)가 된다. 그러므로, 스토리지 노드 전극(26) 사이의 간격이 감소되더라도, 크로스링크가 발생되지 않는 최소 거리(N)가 계속 유지되므로, 크로스링크가 발생되지 않는다.

또한, 스토리지 노드 전극(26)의 높이가 감소되더라도, 스토리지 노드 전극(26) 사이의 간격이 감소되므로, 사실상 스토리지 노드 전극(26)의 표면적은 증가된다.

이들 도 3a 및 도 3b를 통하여 자세히 설명하면 다음과 같다. 우선, 도 3a에는 스토리지 노드 전극 셀을 나타낸다. 여기서, 스토리지 노드 전극 셀은 실질적인 스토리지 노드 전극(3)과, 스토리지 노드 전극(3)과 인접 스토리지 노드 전극(도시되지 않음)을 절연시키기 위한 절연 영역(1)의 일부를 포함하게 된다. 여기서, 본 발명의 메모리 소자가 0.10μm급 다램 소자일 경우, 스토리지 노드 전극 셀의 가로 길이는 약 2000Å이고, 세로 길이는 4000Å이다. 한편, 크로스링크를 방지할 수 있는 절연 영역(1)의 최소 가로 길이는 700Å이고, 최소 세로 길이는 1200Å이다. 이러한 경우, 스토리지 노드 전극(26, 도 2 참조)의 높이를 감소시키지 않았을 때의 스토리지 노드 전극의 표면적은 다음과 같다. 이때, A 단위는 생략하기로 한다.

록 2002-0090452

$$[(2000-700)+(4000-1200) \times 2 \times H] + (2000-700) \times (4000-1200)$$

한편, 본 실시예와 같이, 인접하는 스토리지 노드 전극(26)의 거리를 제 1 길이(X)만큼 감소시키고, 높이를 제 2 길이(X/2)만큼 감소시켰을 때, 스토리지 노드 전극의 표면적은 다음과 같다.

$$[(2000-700-X) + (4000-1200+X) \times 2 \times (H-X/2)] + (2000-700+X) \times (4000-1200+X)$$

상기 식 1과 식 2를 비교하여 살펴보면, 비록 높이는 X/2만큼 감소하였더라도, 전체적인 표면적 면에서는 각 면마다 1만큼 폭이 증대될수록 실질적인 표면적은 증대보다 훨씬 증대된다.

이러한 결과에 따라, 스토리지 노드 전극의 정하어진 높이(H)를 변경시켰을 때, 제 1 길이(X)에 대한 스토리지 노드 전극의 표면적을 나타낸 그래프가 도 4에 도시되었다. 도 4에 의하면, 스토리지 노드 전극의 정하어진 높이(H)를 8000Å, 9000Å, 10000Å, 11000Å 및 12000Å으로 각각 변화시켰을 때, 모두 제 1 길이(X)가 증대될수록 표면적이 증대되었다.

또한, 상술한 반도체 메모리 소자의 스토리지 노드 전극의 제조방법을 도 5a 내지 도 5e를 참조하여 설명하도록 한다.

먼저, 도 5a를 참조하여, 게이트, 소오스 및 드레인으로 구성된 모스 트랜지스터(도시되지 않음) 및 그 밖의 회로 소자(도시되지 않음)이 형성된 반도체 기판(20) 상부에 층간 절연막(20)을 형성한다. 이때, 층간 절연막(20)은 평탄화막을 포함할 수 있으며, 경우에 따라, 층간 절연막(20) 내부에 비트 라인(도시되지 않음)이 매입되어 있을 수 있다. 이러한 층간 절연막(20)을 선택된 모스 트랜지스터의 소오스(도시되지 않음)가 노출되도록 식각하여, 스토리지 노드 콘택층(st)을 형성한다. 여기서, 스토리지 노드 콘택층(st)이 충분히 매입되도록, 층간 절연막(20) 상부에 도전층을 증착한다. 그 후, CMP 방식으로 도전층을 층간 절연막(22)이 노출되도록 제거하여, 스토리지 노드 콘택(24)을 형성한다.

다음, 도 5b를 참조하여, 층간 절연막(22) 및 스토리지 노드 콘택(24) 상부에 희생막(25)을 증착한다. 이때, 희생막(25)은 일반적으로 배선 피치 또는 디자인 룰을 감안하여, 정하어진 스토리지 노드 전극의 높이(H) 정도의 두께로 증착한다. 이때, 희생막(25) 상부에는 식각 저지막(도시되지 않음)이 형성될 수도 있다. 이때, 식각 저지막이 형성되는 경우, 희생막(25)과 식각 저지막을 합한 두께가 정하어진 스토리지 노드 전극의 높이(H)가 된다. 아울러, 희생막(25)은 이후 스토리지 노드 전극을 구성하는 물질과 식각 선택비가 우수한 물질로 사용되고, 별도의 식각 저지막이 사용되지 않는 경우, 면마 선택비 또한 우수한 물질로 형성되어야 한다.

도 5c를 참조하여, 스토리지 노드 콘택(24)의 소정 부분이 노출되도록, 희생막(25) 또는 식각 저지막을 소정 부분 패터닝하여, 개구(OP)를 형성한다. 이때, 인접하는 개구(OP) 사이의 거리는 크로스링크가 발생되지 않는 최소 거리(N)보다 제 1 길이(X)만큼 작음이 바람직하다.

도 5d에 도시된 바와 같이, 개구(OP)가 형성된 희생막(25) 표면에 스토리지 노드 전극용 도전층(26)을 소정 두께로 증착한다. 이때, 도전층(26)은 개구(OP)를 매입하지 않으면서, 개구(OP)의 표면을 따라 피복될 수 있을 정도의 두께로 증착된다. 도전층(26) 상부에 노드 분리용 절연막(도시되지 않음)을 증착한 다음, 스토리지 노드 전극용 도전층(26) 및 노드 분리용 절연막(도시되지 않음)을 희생막(25) 또는 식각 저지막(도시되지 않음)이 노출될 때까지 CMP한다.

그 후, 도 5e에 도시된 바와 같이, 노드 분리용 절연막을 공지의 방식으로 제거한 다음, 도전층(26)을 제 1 길이(X)의 2분의 1만큼 즉, 제 2 길이(X/2)의 식각하여, 스토리지 노드 전극(26)을 형성한다. 다음, 희생막(25)을 공지의 습식 식각 방식으로 제거한다. 이에 따라, 제 2 길이(X/2)만큼 높이가 감소된 콘케이브 형태의 스토리지 노드 전극(26)이 완성된다.

이러한 본 실시예에 의하면, 인접하는 스토리지 노드 전극의 간격을 크로스링크가 발생되지 않는 최소 거리보다 소정 길이 만큼 더 감소시킨 다음, 더 감소된 거리의 2분의 1만큼 스토리지 노드 전극의 높이를 감소시킨다. 그러면, 실질적인 스토리지 노드 전극 사이의 간격은 크로스링크가 발생되지 않는 최소 거리 정도를 유지하게 된다. 이에 따라, 스토리지 전극 사이의 간격을 감소시키면서도, 크로스링크가 발생되지 않는다. 아울러, 스토리지 전극의 직경이 증대되며, 표면적이 증대될 뿐만 아니라, 스토리지 노드 전극의 높이가 감소되어, 마스크팩팅비가 크게 감소된다.

(실시예 2)

첨부한 도면 도 6은 본 발명의 실시예 2를 설명하기 위한 반도체 메모리 소자의 단면도이고, 도 7a 내지 도 7d는 본 발명의 실시예 2에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다. 또한, 도 8a는 희생막의 플라즈마 증착 파워에 대한 희생막의 습식 식각율을 나타낸 그래프이고, 도 8b는 희생막의 증착 온도에 대한 희생막의 습식 식각율을 나타낸 그래프이다. 또한, 도 8c는 희생막을 구성하는 실리콘(SiH₄) 가스에 대한 질산(HNO₃) 가스의 비율에 대한 희생막의 습식 식각율을 나타낸 그래프이다. 도 8d는 희생막을 구성하는 반도체 장비의 샤워 헤드와 기판간의 거리에 대한 희생막의 습식 식각율을 나타낸 그래프이다. 도 8e는 희생막의 증착 압력에 대한 희생막의 습식 식각율을 나타낸 그래프이다.

아울러, 본 실시예에서는 상술한 실시예 1과 동일한 부분에 대하여는 동일한 설명을 배제하도록 한다.

먼저, 도 6을 참조하여, 본 실시예의 스토리지 노드 전극(30)은 상술한 실시예 1과 같이, 인접하는 스토리지 노드 전극(30)과의 거리는 크로스링크를 유발하지 않는 최소 거리(N)보다 제 1 길이(X) 만큼 좁게 형성하면서, 그 높이는 정하어진 높이(H)보다 제 1 길이(X)의 2분의 1만큼 감소시킨 제 2 길이(X/2)만큼 낮게 형성한다. 아울러, 본 실시예의 스토리지 노드 전극(28)은 상술한 실시예 1보다 안정한 구조를 갖도록 콘케이브 형태를 갖으면서, 상부로 갈수록 점점 직경이 커지는 역 원뿔대(inversed-truncated cone) 형상을 갖는다. 이때, 인접하는 스토리지 노드 전극(30) 사이의 최단 거리가 크로스링크를 유발하지 않는 최소 거리(N)보다 제 1 길이(X)만큼 좁도록 형성한다.

록 2002-0090452

미와같이 스토리지 노드 전극(30)을 형성하면, 상술한 실시예 1과 마찬가지로, 높이를 제 2 길이 만큼 감소시키므로써, 인접하는 스토리지 노드 전극(30)간의 간격을 감소시키더라도 크로스링크와 같은 문제점이 발생되지 않는다. 더욱이, 스토리지 노드 전극(30) 사이의 간격의 감소됨에 따라, 스토리지 노드 전극(30)의 면적은 오히려 증가되며, 대용량 캐패시턴스를 확보할 수 있을 뿐 아니라, 스토리지 노드 전극(30)의 단차 또한 감소된다.

아울러, 본 실시예에서는 스토리지 노드 전극(30)이 역 원뿔대 형태로 형성됨에 따라, 구조적으로 불안정한 문제를 해결할 수 있고, 후속의 유전체막 및 플레이트 전극의 형성이 용이해진다.

이러한 본 실시예의 스토리지 노드 전극을 갖는 반도체 메모리 조자의 제조방법들 도 7a 내지 도 7d를 참조하여 자세히 설명하도록 한다.

우선, 도 7a에 도시된 바와 같이, 스토리지 노드 콘택(24)이 형성된 절연막(22) 상부에 제 1 희생막(250a)과 제 2 희생막(250b)을 순차적으로 증착한다. 여기서, 제 2 희생막(250b)은 제 1 희생막(250a)보다 습식 식각 선택비가 높은 물질로 형성한다. 이때, 제 1 및 제 2 희생막(250a, 250b)의 습식 식각비는 증착 파워(power), 증착 온도, 증착 가스 비율 및 증착 압력등에 의하여 조절이 가능하다.

즉, 도 8a와 같이, 제 1 희생막(250a)은 예를들어 증착 플라즈마 파워(W)를 250W 내지 300W를 가하면서 증착하고, 제 2 희생막(250b)은 예를들어, 증착 플라즈마 파워(W)를 100W 내지 150W 정도 가하면서 증착한다. 그러면, 이후 습식 식각 공정시, 동일한 습식 용액에 대하여, 제 1 희생막(250a)은 2300 Å/min 이하의 습식 식각률로 식각되는 반면, 제 2 희생막(250b)은 약 3000 Å/min 이상의 습식 식각률로 식각될 것이다.

또한, 도 8b에 도시된 바와 같이, 제 1 희생막(250a)을 400°C 내지 450°C의 온도에서 증착하고, 제 2 희생막(250b)을 270°C 내지 300°C의 온도에서 증착하여도, 제 1 희생막(250a)과 제 2 희생막(250b)간의 습식 식각 선택비가 현저해진다.

도 8c에서와 같이, 제 1 희생막(250a)의 증착시, 실란 가스에 대한 질산 가스의 비율을 0.02% 내지 0.03% 정도로 조절하여 증착하고, 제 2 희생막(250b)은 실란 가스에 대한 질산 가스의 비율을 0.05% 내지 0.06% 정도로 조절하여 증착하여도, 제 1 희생막(250a)과 제 2 희생막(250b)간의 습식 식각 선택비가 현저해진다.

도 8d에서와 같이, 제 1 희생막(250a)의 증착시, 반도체 증착 장비에서 증착 가스가 분출되는 샤워 헤드(도시되지 않음)와 반도체 기판 사이의 거리를 200 내지 250 mils로 조절하여 증착하고, 제 2 희생막(250b)은 샤워 헤드와 반도체 기판 사이의 거리를 400 내지 450 mils 정도로 조절하여 증착한다. 이와같이 증착하여도, 제 1 희생막(250a)과 제 2 희생막(250b)간의 습식 식각 선택비가 현저해진다.

또한, 도 8e에 도시된 바와 같이, 제 1 희생막(250a)을 1 Torr 내지 1.5 Torr의 압력에서 증착하고, 제 2 희생막(250b)을 3 Torr 내지 5 Torr의 압력에서 증착한다. 이렇게 증착하여 제 1 희생막(250a)과 제 2 희생막(250b)간의 습식 식각 선택비가 현저해진다.

이때, 각 희생막(250a, 250b)은 일반적으로 배선 피치 또는 디자인 룰을 감안하여, 정하여진 스토리지 노드 전극의 높이(H) 정도의 두께가 되도록 증착한다. 이때, 도면에는 도시되지 않았지만, 제 2 희생막(250b) 상부에는 식각 저지막(도시되지 않음)이 형성될 수도 있다. 이러한 경우, 각 희생막(250a, 250b) 및 식각 저지막을 한한 두께가 정하여진 스토리지 노드 전극의 높이(H) 정도가 된다. 아울러, 각 희생막(250a, 250b)은 스토리지 노드 전극을 구성하는 물질과 식각 선택비가 우수한 물질로 사용되고, 별도의 식각 저지막이 사용되지 않는 경우, 연마 선택비 또한 우수한 물질이 사용됨이 바람직하다.

계속해서, 도 7a를 참조하여, 스토리지 노드 콘택(24)의 소정 부분이 노출되도록, 제 1 및 제 2 희생막(250a, 250b) 또는 식각 저지막이 형성되는 경우, 제 1, 제 2 희생막(250a, 250b) 및 식각 저지막을 소정 부분 패터닝하여, 개구(OP)를 형성한다. 이때, 인접하는 개구(OP) 사이의 거리는 이후의 추가적인 습식 식각을 고려하여, 크로스링크가 발생되지 않는 최소 거리(N)에서 제 1 길이(X)만큼을 뺀 값 보다 약간 크게 설정된다. 이에 따라, 개구(OP)를 형성하기 위한 포토리소그라피 공정이 상술한 실시예 1보다 용이해진다. 아울러, 개구(OP)를 형성하기 위한 제 1 및 제 2 희생막(250a, 250b)의 식각은 비등방성 식각 방식으로 진행된다.

그 다음, 도 7b에 도시된 바와 같이, 개구(OP)의 형태가 역 원뿔대 즉, 개구의 폭력이 슬로프(slope)를 가지도록, 제 1 및 제 2 희생막(250a, 250b)을 습식 식각한다. 이때, 제 1 희생막(250a)에 비하여, 제 2 희생막(250b)이 습식 식각률이 더 높으므로, 상부로 향할수록 개구(OP)의 직경이 더 커진다. 이러한 습식 식각 공정은 인접하는 스토리지 노드 전극간의 간격이 크로스링크가 발생되지 않을 최소 거리에서 제 1 길이(X)를 뺀 정도의 길이 될 때까지 진행된다.

다음, 도 7c에 도시된 바와 같이, 폭력이 슬로프를 갖는 개구(OP)가 형성된 희생막(250) 상부에 스토리지 노드 전극을 도전층(300)을 증착한다음, 도전층(300) 상부에 노드 분리를 절연막(32)을 증착한다. 그후, 노드 분리를 절연막(32) 및 도전층(300)을 제 2 희생막(250b) 또는 식각 저지막이 형성되는 경우, 식각 저지막이 노출되도록 패터닝한다.

이어서, 도 7d를 참조하여, 노드 분리를 절연막(32)을 공지의 제거 방식에 따라 제거한다음, 도전층(300)의 높이를 제 2 길이(X/2)만큼씩 식각하여, 스토리지 노드 전극(30)을 형성한다.

이와같이, 본 실시예의 스토리지 노드 전극은 개구를 형성하기 위한 포토리소그라피 공정이 용이하므로, 공정상 안정하다. 아울러, 스토리지 노드 전극이 상부로 갈수록 직경이 점점 증가되는 역 원뿔대 형상으로 형성되므로, 보다 안정하게 스토리지 노드 전극을 형성할 수 있다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명의 실시예 1에 의하면, 인접하는 스토리지 노드 전극의 간격

록 2002-0090452

을 크로스링크가 발생되지 않는 최소 거리보다 소정 길이 만큼 더 감소시킨다음, 더 감소된 거리의 2분의 1만큼 스토리지 노드 전극의 높이를 감소시킨다. 그러면, 실질적인 스토리지 노드 전극 사이의 간격은 크로스링크가 발생되지 않는 최소 거리 정도를 유지하게 된다. 이에따라, 스토리지 전극 사이의 간격을 감소시키면서도, 크로스링크가 발생되지 않는다. 아울러, 스토리지 전극의 직경이 증대되어, 표면적이 증대될 뿐만 아니라, 스토리지 노드 전극의 높이가 감소되어, 아스펙트비가 크게 감소된다.

또한, 본 발명의 실시예 2에 의하면, 스토리지 노드 전극의 직경이 상부로 갈수록 점점 넓어지도록 스토리지 노드 전극을 형성한다. 이에따라, 스토리지 노드 전극이 보다 안정적으로 형성된다.

기타, 본 발명의 요지를 벗어나지 않는 범위에서 다양하게 변형 실시할 수 있다.

(5) 장구의 설계

형구형 1

도전 영역을 갖는 반도체 기판;

상기 반도체 기판 상부에 형성되며, 상기 반도체 기판의 도전 영역과 콘택되는 수개의 스토리지 노드 콘택을 갖는 중간 절연막;

상기 스토리지 노드 콘택과 각각 콘택되면서, 중간 절연막 상부에 형성되는 콘케이브 형태의 스토리지 노드 전극을 포함하며,

상기 인접하는 스토리지 노드 전극의 간격은, 크로스링크를 유발하지 않는 최소 거리(N)에서 제 1 길이(X)를 뺀 정도의 간격을 유지하고,

상기 각각의 스토리지 노드 전극의 높이는, 정하여진 높이보다 제 1 길이를 2분한 값 정도 낮은 것을 특징으로 하는 반도체 메모리 소자.

형구형 2

도전 영역을 갖는 반도체 기판;

상기 반도체 기판 상부에 형성되며, 상기 반도체 기판의 도전 영역과 콘택되는 수개의 스토리지 노드 콘택을 갖는 중간 절연막;

상기 스토리지 노드 콘택과 각각 콘택되면서, 중간 절연막 상부에 형성되는 콘케이브 형태의 스토리지 노드 전극을 포함하며,

상기 스토리지 노드 전극은 상부로 갈수록, 그 직경이 점점 증대되는 역 원뿔대 형상을 갖고,

상기 인접하는 스토리지 노드 전극의 최단 간격은, 크로스링크를 유발하지 않는 최소 거리(N)에서 제 1 길이(X)를 뺀 정도의 간격을 유지하고,

상기 각각의 스토리지 노드 전극의 높이는, 정하여진 높이보다 제 1 길이를 2분한 값 정도 낮은 것을 특징으로 하는 반도체 메모리 소자.

형구형 3

반도체 기판상에 스토리지 노드 콘택을 갖는 중간 절연막을 형성하는 단계;

상기 중간 절연막 상부에 희생막을 형성하는 단계;

상기 스토리지 노드 콘택이 노출되도록 희생막을 식각하여, 개구를 형성하는 단계;

상기 개구 내부 및 희생막 표면에 도전층을 형성하는 단계;

상기 도전층을 희생막 표면이 노출되도록 화학적 기계적 연마하는 단계;

상기 도전층을 소정 길이만큼 식각하여 스토리지 노드 전극을 형성하는 단계를 포함하며,

상기 개구를 형성하는 단계에서, 개구 사이의 간격은 스토리지 노드 전극 사이에 크로스링크가 발생되지 않는 최소 거리에서 제 1 길이(X)만큼 뺀 정도의 간격을 유지하고,

상기 도전층을 소정 길이만큼 식각하는 단계에서, 도전층을 제 1 길이를 2분한 값 정도 만큼 식각하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구형 4

반도체 기판상에 스토리지 노드 콘택을 갖는 중간 절연막을 형성하는 단계;

상기 중간 절연막 상부에 습식 식각률이 상이한 제 1 및 제 2 희생막을 순차적으로 형성하는 단계;

상기 스토리지 노드 콘택이 노출되도록 제 1 및 제 2 희생막을 비등방성 식각하여, 제 1 개구를 형성하는 단계;

상기 제 1 및 제 2 희생막을 습식 식각하여, 상부로 갈수록 직경이 넓어지는 제 2 개구를 형성하는 단계;

상기 제 2 개구 내부 및 희생막 표면에 도전층을 형성하는 단계;

상기 도전층을 희생막 표면이 노출되도록 화학적 기계적 연마하는 단계;

상기 도전층을 소정 길이만큼 식각하여 스토리지 노드 전극을 형성하는 단계를 포함하며,

록 2002-0090452

상기 제 2 개구간의 최단 간격은, 스토리지 노드 전극 사이에 크로스링크가 발생되지 않는 최소 거리에서 제 1 길이(X)만큼 뺀 정도의 간격을 유지하고,

상기 도전층을 소정 길이만큼 식각하는 단계에서, 도전층을 제 1 길이를 2분한 값 정도 만큼 식각하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구함 5

제 4 항에 있어서, 상기 제 2 회생막은 상기 제 1 회생막에 비하여 습식 식각 선택비가 우수한 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구함 6

제 5 항에 있어서, 상기 제 1 회생막은 플라즈마 증착 파워를 250W 내지 300W를 가하면서 증착하고, 상기 제 2 회생막은 플라즈마 증착 파워를 100W 내지 150W로 가하면서 증착하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구함 7

제 5 항에 있어서, 상기 제 1 회생막은 400℃ 내지 450℃의 온도에서 증착하고, 상기 제 2 회생막은 270℃ 내지 300℃의 온도에서 증착하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구함 8

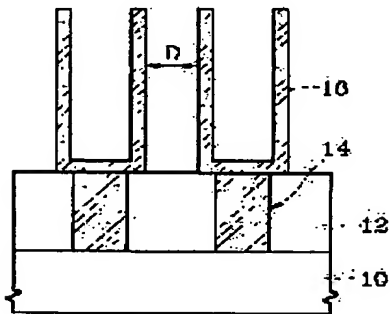
제 5 항에 있어서, 상기 제 1 회생막은 설란 가스에 대한 질산 가스의 비율을 0.02% 내지 0.03%로 조절하여 증착하고, 제 2 회생막은 설란 가스에 대한 질산 가스의 비율을 0.05% 내지 0.06%로 조절하여 증착하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구함 9

제 5 항에 있어서, 상기 제 1 회생막은 증착 장비의 샤워 헤드와 기판의 거리를 220 내지 250 mm로 조절하여 증착하고, 제 2 회생막은 샤워 헤드와 기판간의 거리를 400 내지 450 mm로 조절하여 증착하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

형구함 10

제 5 항에 있어서, 상기 제 1 회생막은 1 내지 1.5 Torr의 압력에서 증착하고, 제 2 회생막은 3 내지 5 Torr 이상의 압력에서 증착하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

도면**도면 1**

2002-0090452

FIG 2

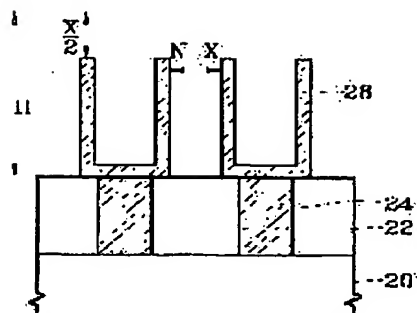


FIG 3a

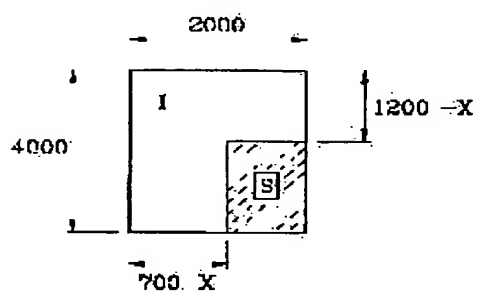
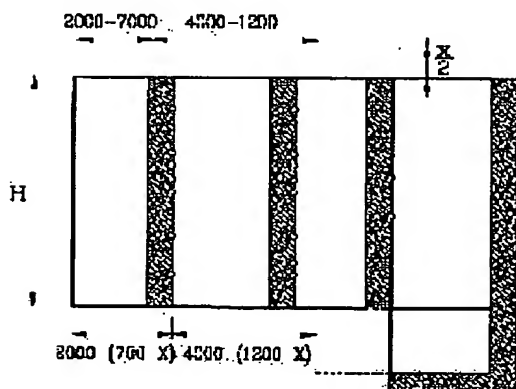
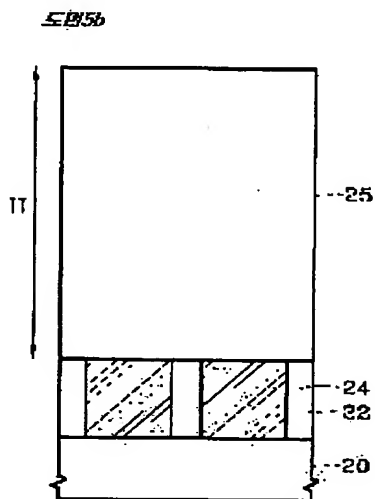
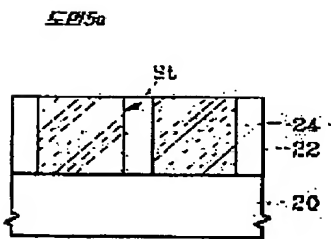
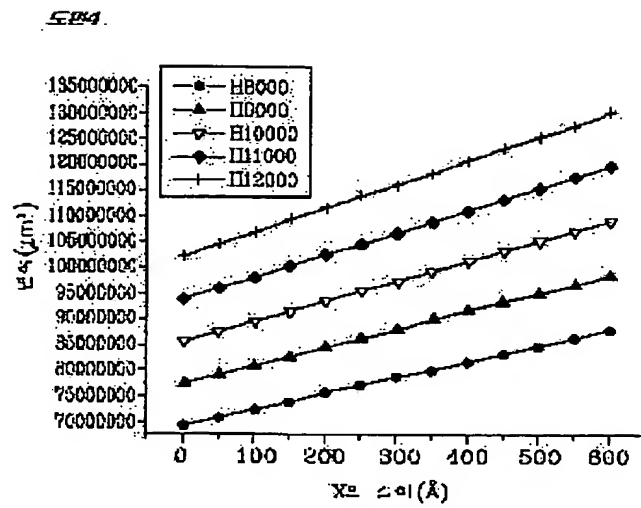


FIG 3b

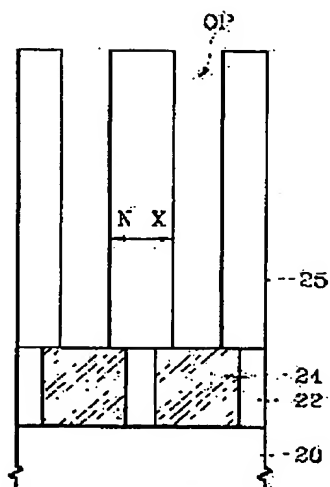


2002-0090452

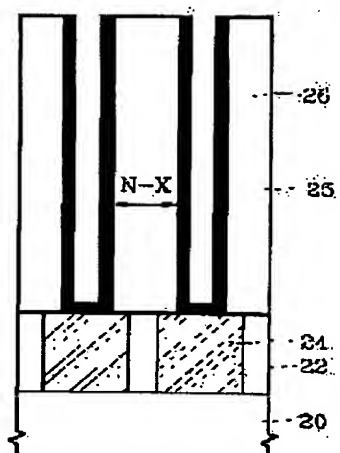


2002-0090452

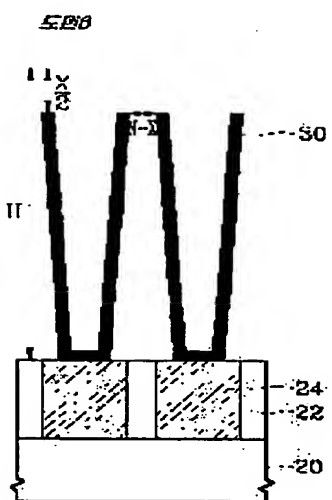
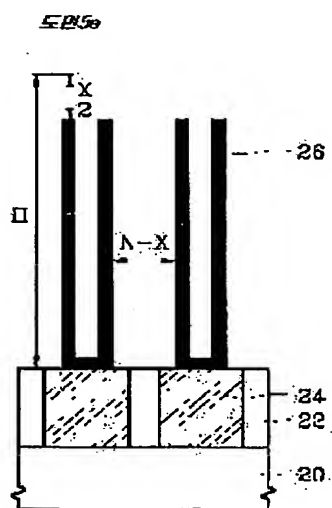
도면50



도면51

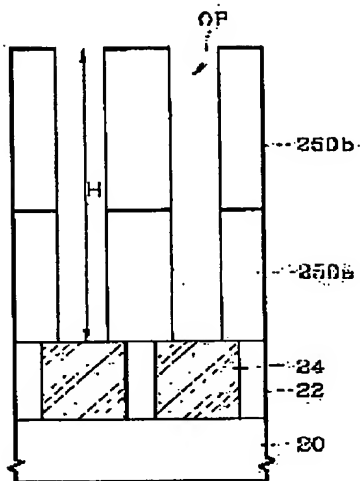


2002-0090452

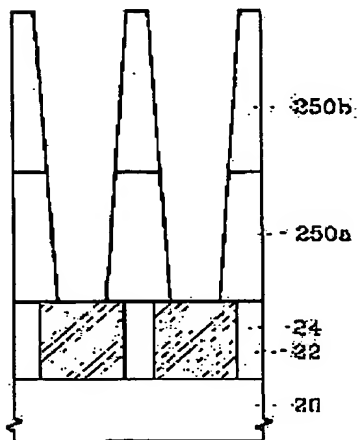


2002-0090452

587a

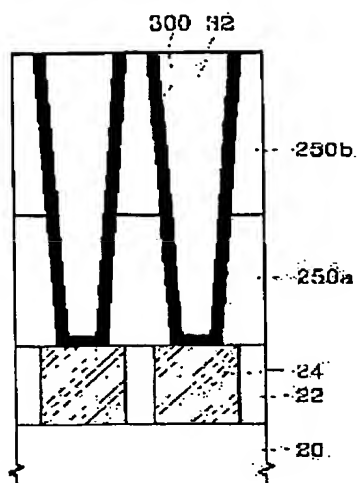


587b

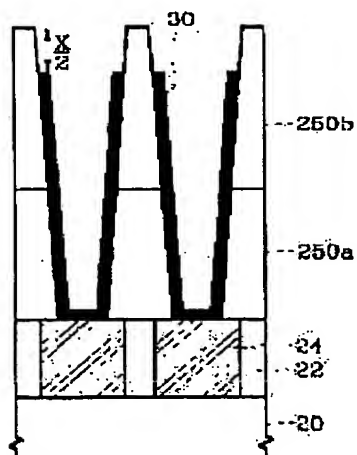


2002-0090452

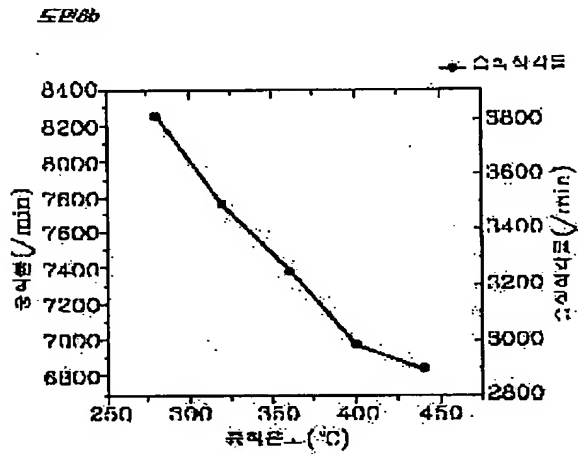
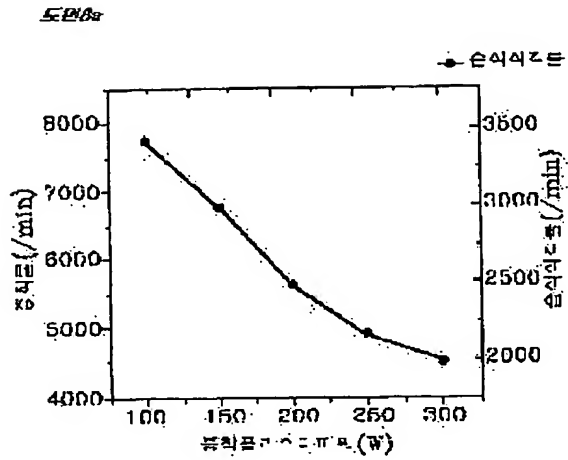
507c



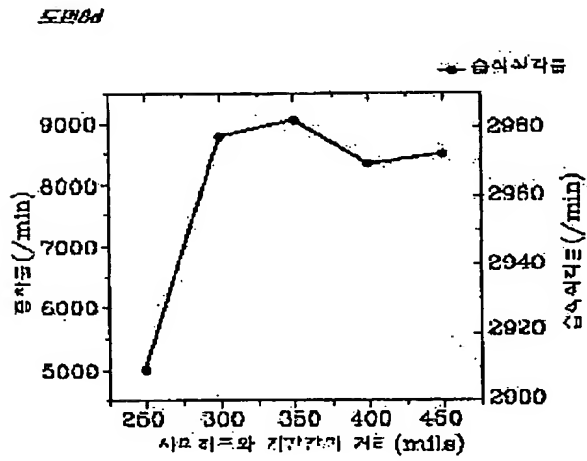
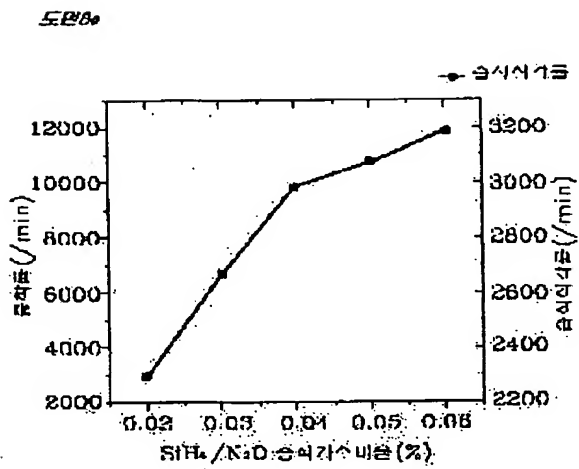
507d



특 2002-0090452



특2002-0090452



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.